

PCT National Publication Gazette

National Patent Publication No. 8-506693
Date of National Publication: July 16, 1996
International Classes: H01L 21/8247
27/115
29/788
(23 pages in all)

Title of the Invention: Flash E²PROM Cell Having Single Polycrystalline Silicon Layer
Patent Appln. No. 6-502413
Filing Date: June 18, 1993
Date of Filing Translation: December 14, 1994
International Filing No. PCT/US93/05669
International Publication No. WO94/00881
International Publication Date: January 6, 1994
Priority Claimed: Country: U.S.A.
Filing Date: June 19, 1992
Serial No. 901,351
Inventor: Wang PATRICK C.
Applicant: LATTICE SEMICONDUCTOR CORPORATION

(transliterated, therefore the spelling might be incorrect)

[ABSTRACT]

A flash E²PROM cell (130) is disclosed. The cell has a single polycrystalline silicon layer (132). A portion of the single polycrystalline silicon layer forms a floating gate (160) of the transistor in the cell. Another portion thereof forms an electrode (168) of a capacitor connected to the floating gate. Still another portion thereof forms the second transistor gate (156) in the cell.

(19) 日本国特許庁 (J P)

(12) 公表特許公報 (A)

(11) 特許出願公表番号

特表平8-506693

(43) 公表日 平成8年(1996)7月16日

(51) Int.Cl.⁶

識別記号

庁内整理番号

F I

H 0 1 L 21/8247

27/115

29/788

7735-4M

H 0 1 L 29/78

3 7 1

7735-4M

27/10

4 3 4

審査請求 未請求 予備審査請求 有 (全 23 頁) 最終頁に続く

(21) 出願番号 特願平6-502413
(86) (22) 出願日 平成5年(1993)6月18日
(85) 翻訳文提出日 平成6年(1994)12月14日
(86) 国際出願番号 PCT/US93/05669
(87) 国際公開番号 WO94/00881
(87) 国際公開日 平成6年(1994)1月6日
(31) 優先権主張番号 901, 351
(32) 優先日 1992年6月19日
(33) 優先権主張国 米国 (US)
(81) 指定国 EP(AT, BE, CH, DE, DK, ES, FR, GB, GR, IE, IT, LU, MC, NL, PT, SE), JP, KR

(71) 出願人 ラティス・セミコンダクター・コーポレーション
アメリカ合衆国オレゴン州97124-6421・
ヒルスボロ・ノースイーストムーアコート
5555
(72) 発明者 ワング、パトリック・シー
アメリカ合衆国カリフォルニア州95014・
クーベルティノー・クリークラインドライブ
7880
(74) 代理人 弁理士 大島 陽一 (外1名)

(54) 【発明の名称】 単層の多結晶シリコン層を有するフラッシュE²上2▼PROMセル

(57) 【要約】

フラッシュE²PROMセル(130)が開示されており、このセルは、単層多結晶シリコン層(132)を有している。この多結晶シリコン層の一部は、このセルのトランジスタのフローティングゲート(160)を形成し、また一部はフローティングゲートとつながったコンデンサのひとつの電極(168)を形成し、さらに一部は、このセルの第2のトランジスタのゲート(156)を形成している。

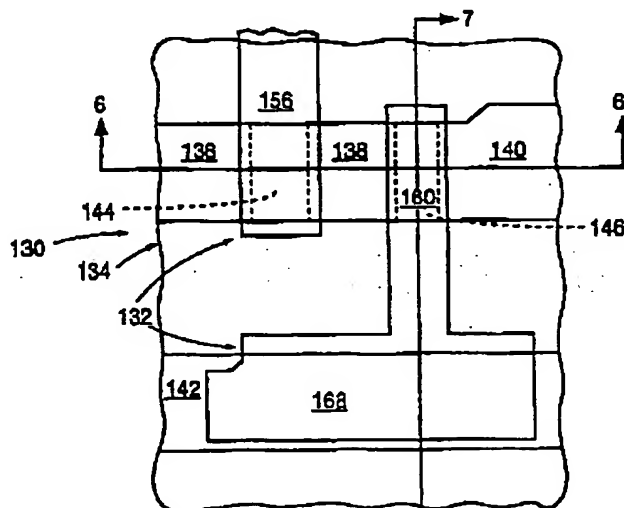


FIG. 5

【特許請求の範囲】

1. E¹PROMセルであって、

このセルが第1の導電型を有する基板を有し、

第2の導電型を有する第1領域と第2領域とが前記基板の表面に配置され、かつ前記基板中に延在し、

前記第1領域及び第2領域が、その間にチャネル領域を前記基板表面に画定し

さらに前記セルが、

前記チャネル領域上に形成されたゲート酸化膜と、

前記ゲート酸化膜上に形成され、多結晶シリコンを含有するフローティングゲートとを有し、

前記フローティングゲートが前記セルが含むただ1層の多結晶シリコン層の一部であって、

前記セルのプログラミング機能が前記ゲート酸化膜の一部を電子が通り抜けることにより行われ、

さらに、形成された前記セルが薄い酸化膜トンネル領域を備えていないことを特徴とするE¹PROMセル。

2. フラッシュE¹PROMセルであって、

このセルが第1の導電型を有する基板を有し、

第2の導電型を有する第1領域と第2領域とが前記基板の表面に配置され、かつ前記基板中に延在し、

前記第1領域及び第2領域が、その間にチャネル領域を前記基板表面に画定し

さらに前記セルが、

前記チャネル領域上に形成されたゲート酸化膜と、

前記ゲート酸化膜上に形成され、多結晶シリコンを含有するフローティングゲートとを有し、

前記フローティングゲートが前記セルが含むただ1層の多結晶シリコン層の一

部であって、

前記セルのプログラミング機能が前記ゲート酸化膜の一部をホットエレクトロンが通り抜けることにより行われることを特徴とするフラッシュ E¹ P R O M セル

3. 前記ゲート酸化膜の厚さが前記チャネル領域に渡って概ね均一であることを特徴とする請求項 2 に記載のフラッシュ E¹ P R O M セル。

4. 形成された前記セルが、薄い酸化膜トンネル領域を備えていないことを特徴とする請求項 3 に記載のフラッシュ E¹ P R O M セル。

5. 前記セルのプログラミング機能が、前記ゲート酸化膜の一部をホットエレクトロンが通過することによって行われることを特徴とする請求項 1 に記載の E¹ P R O M セル。

6. 前記基板表面上にさらに付加された酸化膜と、

この付加された酸化膜上に配置され、多結晶シリコンを含み、前記フローティングゲートと結合した制御ゲートとを有し、前記制御ゲートが、前記フローティングゲートと共に前記セルが含むただ 1 層の多結晶シリコン層の一部であることを特徴とする請求項 1 乃至 5 に記載の E¹ P R O M セル。

【 発 明 の 詳 細 な 説 明 】

単層の多結晶シリコン層を有する

フラッシュ E¹ P R O M セル

発 明 の 背 景産 業 上 の 利 用 分 野

本発明は、メモリセルに関する。特に、多結晶シリコン含有層を 1 層のみ有するフラッシュ E¹ P R O M セルに関する。

従 来 技 術

第 1 図に従来技術の典型的なフラッシュ E¹ P R O M セル 1 0 を示す。このセル 1 0 はトランジスタ 1 1 からなり、トランジスタ 1 1 は、例えば P 型の基板 1 2 を有する。N 型のソース 1 4 とドレイン 1 6 が基板 1 2 の表面に形成され、その間の基板 1 2 の表面にチャネル領域 1 8 が画定されている。チャネル領域 1 8 の上に酸化膜 2 0 が置かれ、その上には第 1 多結晶シリコン層 2 2 が配置されている。多結晶シリコン層 2 2 の上には酸化膜 2 4 が配置され、さらにその上には第 2 多結晶シリコン層 2 6 が配置されている。多結晶シリコン層 2 2 はトランジスタ 1 1 のフローティングゲートであり、一方多結晶シリコン層 2 6 はその制御ゲートである。

よく知られているように、トランジスタ 1 1 の閾値電圧はフローティングゲート 2 2 に電子を注入したり、またはそれから電子を取り除いたりすることによって変えること

ができる。フローティングゲート 2 2 に電子を注入するときは（それによってセル 1 0 をプログラムする）、典型的なフラッシュ E¹ P R O M セルの場合、ソース 1 4 をグラウンド電位に保ち、制御ゲート 2 6 とドレイン 1 6 とを高電位にする。電圧はトランジスタ 1 1 がアバランシェ状態になるように十分大きく、ホットエレクトロンが酸化膜 2 0 を通ってフローティングゲート 2 2 に注入される。フローティングゲート 2 2 から電子を取り除くときは（それによってセル 1 0 を消去する）、今度も典型的なフラッシュ E¹ P R O M セルの場合だが、ソース 1 4 を高電位にし、一方制御ゲート 2 6 をグラウンド電位にする。それにより、電子は

フローティングゲート 22 から酸化膜 20 を通ってソース 14 へ引き出される。

このようなデバイス、(2層の多結晶シリコンを用いているため“2層多結晶”デバイスと呼ばていれる)を製造することは簡単ではなく、製造工程に於ける微妙な変動に大きく影響され、製造されたデバイスが所望の働きをしないばかりか、全く動作しないこともある。

ただ1層の多結晶シリコン層(単層多結晶シリコン層)32を有する従来技術のセル30を第2図～第4図に示す。P型基板34に、N型領域36、38、40、及び長寸のN型領域42が形成されている。N型領域36と38はP型領域44によって分離され、N型領域38と40はP型領域46によって分離されている。

酸化膜48(図面を明確にするため第2図からは取り除かれているが、その一部は第3図、第4図に見られる)はこの構造を全体に渡って覆っており、その一部である薄い部分酸化膜47A、47B、47C、47Dはそれぞれ、領域44、46、40、42を覆っている。領域36、38、40の上にはそれぞれ、開口部50、52、54がある。残りの部分は厚いフィールド酸化膜49に覆われている。

多結晶シリコン層32の一部はトランジスタ58の多結晶シリコンのゲート56となっている。このゲート56はP型領域44を覆う薄い部分酸化膜47A上に配置されている。P型領域44を挟んで対峙するN型領域36と38はトランジスタ58のソースとドレインとなっており、従ってソース36とドレイン38との間のP型領域44はトランジスタ58のチャネル領域となっている。多結晶シリコン層32の一部はさらに、トランジスタ62のフローティングゲート60となっている。このゲート60は薄い部分酸化膜47B上に配置されており、この部分酸化膜47BはP型領域46を覆っている。N型領域38はこのトランジスタ62のソースとなっており(この領域38は第1のトランジスタ58にとってはドレインとなっている)、N型領域40はドレインとなっている。

多結晶シリコン層32の一部分64は薄い部分酸化膜47C上に配置されており、この部分酸化膜47Cによって

トンネル領域 6 6 が画定されている。多結晶シリコン層 3 2 の一部 6 0 と 6 4 は、多結晶シリコン層 3 2 の一部 6 8 を介してつながっている。この多結晶シリコン層 3 2 の一部 6 8 は薄い部分酸化膜 4 7 D 上に配置されており、この部分酸化膜 4 7 D は N 型領域 4 2 を覆っている。多結晶シリコン部分 5 6、6 0、6 4、6 8 はデバイス 3 0 の単層多結晶シリコン層の一部である。

N 型領域 4 2 はトランジスタ 6 2 の制御ゲートとなっている。第 3 図に示されているように、多結晶シリコン層部分 6 8 と N 型領域 4 2 はコンデンサ 7 0 を形成し、その結果、多結晶シリコン層部分 6 0 はトランジスタ 6 2 のフローティングゲートとして働く。

容易にわかるように、上述した方法で、このトランジスタ 6 2 をプログラムしたり消去したりすることができる。すなわち、ドレイン 4 0 をグラウンド電位に保ったまま N 型領域 4 2 に高電位を付加することによってフローティングゲート 6 0 に電子を注入し、ドレイン 4 0 に高電位を付加し、N 型領域 4 2 をグラウンド電位に保つことによってフローティングゲート 6 0 から電子を取り除くことができる。

第 2 図～第 4 図に示された従来のセルにも、単層の多結晶シリコン層からなるという利点があるが、フラッシュ E¹ P R O M セルとして用いるセルの場合、さらに別の利点が考案される。

発明の開示

本発明によるフラッシュ E¹ P R O M セルとしての特別な用途向けのメモリセルは、単層の多結晶シリコン含有層を有し、この多結晶シリコン含有層は、(1) アクセストランジスタのゲート、(2) フラッシュ E¹ P R O M トランジスタのフローティングゲート、(3) コンデンサのひとつの電極 (もう一方の電極はフラッシュ E¹ P R O M トランジスタのゲートである) を形成する。フラッシュ E¹ P R O M トランジスタは、このトランジスタをアバランシェ状態にし、ホットエレクトロンをトランジスタの酸化膜を通してフローティングゲートに注入することによりプログラムされる。一方、フラッシュ E¹ P R O M トランジスタは、酸化膜を電子がトンネル効果によって通過することにより消去されるが、この

酸化膜は薄いトンネル領域を備えていない。

図面の説明

第 1 図は、従来のフラッシュ E¹ P R O M メモリセルの断面図である。

第 2 図は、別の従来技術による E¹ P R O M メモリセルの平面図である。

第 3 図は、第 2 図の線 3-3 に沿った断面図である。

第 4 図は、第 2 図の線 4-4 に沿った断面図である。

第 5 図は、本発明によるフラッシュ E¹ P R O M セルの平面図である。

第 6 図は、第 5 図の線 6-6 に沿った断面図である。

第 7 図は、第 5 図の線 7-7 に沿った断面図である。

第 8 図は、第 5 図～第 7 図に示されたトランジスタの平面図である。

発明の詳細な説明

第 5 図～第 6 図に示されているように、P 型基板 134 に、N 型領域 136、138、140、及び長寸の N 型領域 142 が形成されている。N 型領域 136 と 138 は P 型領域 144 によって分離され、N 型領域 138 と 140 は P 型領域 146 によって分離されている。

酸化膜 148 (図面を明確にするため第 5 図からは取り除かれているが、その一部は第 6 図、第 7 図に見られる) は、従来技術の実施例と同様に、この構造を全体に渡って覆っており、その一部である薄い部分酸化膜 147A、147B、147D はそれぞれ、領域 144、146、142 を覆っている。領域 136、138、140 の上にはそれぞれ、開口部 150、152、154 がある。残りの部分は厚いフィールド酸化膜 149 に覆われている。

多結晶シリコン層 132 の一部はトランジスタ 158 の多結晶シリコンのゲート 156 となっている。このゲート 156 は P 型領域 144 を覆う薄い部分酸化膜 147A 上に配置されている。P 型領域 144 を挟んで対峙する N 型領域 136 と 138 はトランジスタ 158 のソースとドレインとなっており、従ってソース 136 とドレイン 138 との間の P 型領域 144 はトランジスタ 158 のチャネル領域となっている。多結晶シリコン層 132 の一部はさら

に、トランジスタ 1 6 2 のフローティングゲート 1 6 0 となっている。このゲート 1 6 0 は薄い部分酸化膜 1 4 7 B 上に配置されており、この酸化膜 1 4 7 B は P 型領域 1 4 6 を覆っている。N 型領域 1 3 8 はこのトランジスタ 1 6 2 のソースとなっており（この領域 1 3 8 は第 1 のトランジスタ 1 5 8 にとってはドレインとなっている）、N 型領域 1 4 0 はドレインとなっている。

多結晶シリコン層 1 3 2 の一部 1 6 0 は、N 型領域 1 4 2 の上方に配置された多結晶シリコン層 1 3 2 の一部 1 6 8 とつながっている。多結晶シリコン部分 1 5 6、1 6 0、1 6 8 はデバイス 1 3 0 の単層多結晶シリコン層の一部である。

N 型領域 1 4 2 はトランジスタ 1 6 2 の制御ゲートとなっている。第 6 図に示されているように、多結晶シリコン層部分 1 6 8 と N 型領域 1 4 2 はコンデンサ 1 7 0 を形成し、その結果、多結晶シリコン層部分 1 6 0 はトランジスタ 1 6 2 のフローティングゲートとして働く。

セル 1 3 0 のプログラミング、すなわち、フローティングゲート 1 6 0 への電子の注入は、ソース 1 3 8 の電位をグラウンドに保ったまま、制御ゲート 1 4 2 とドレイン 1 4 0 に高電位を付加することによって行われる。付加される電圧はトランジスタ 1 6 2 がアバランシェ状態になるように十分大きく、ホットエレクトロンがチャネル領域 1 4 6 から酸化膜 1 4 7 B を通ってフローティングゲート 1 6 0

に注入され、トランジスタ 1 6 2 の閾値電圧が変わる。セル 1 3 0 を消去するには、トンネル効果によって酸化膜 1 4 7 B を電子が通り抜けるように、制御ゲート 1 4 2 をグラウンド電位に保ち、ソース 1 3 8 に高電位が付与される。

トランジスタ 1 5 8 はアクセストランジスタとして働き、E' P R O M トランジスタ 1 6 2 にアクセスするときにオン状態になる。

酸化膜 1 4 7 B の厚さが概ね均一であり（第 6 図参照）、従来技術のように薄い部分を含んでいないため、セル 1 3 0 を消去するのにかかる時間は従来のセルより若干長くなるかもしれない。しかし、フラッシュ E' P R O M セルのアレイの特質は全てのセルが同時に消去されるという点にあるため、消去時間の遅れは、選択された個々のセルを消去する場合と比べると、さほど重要ではない。その

ような場合には個々のセルの累積消去時間はアレイ全体の消去時間に大幅な遅れをもたらす。このことにより、本発明によるセルの構造は従来よりずっと単純になり、しかもフラッシュ E' P R O M 技術として直ちに使用することができる。

このことは、すなわち、酸化膜 1 4 7 B をトンネル領域を持つように特別に形成する必要がなく、トンネル領域が不要になり、さらにそれに伴う多結晶シリコン領域も不要になるため、セルの大きさを第 2 図～第 4 図に示される従来のセルに比べて小さくできるということを意味する。さらに、これらの効果は全て、デバイスに単層の多結晶シリ

コン層を用いることにより達成されるため、製造工程は簡単であり、高い歩留まりが得られることも付記すべきであろう。

変形実施例として、多結晶シリコン層 1 3 2 は 1 0 0 % の多結晶シリコンである必要はなく、例えば一部は多結晶シリコンで一部はバランスシリコン化合物 (balance silicide) であってもよい。

本出願と出願人を同じくする、係属中の、1 9 9 2 年 6 月 1 9 日に出願された米国特許出願第 0 7 / 0 9 1 , 3 5 7 号 (タイトル: "FLASH E' P R O M A R R A Y"、発明者: パトリック・ワング (Patrick Wang)、代理人の整理番号: M-2101 US) を参照されたい。この特許出願はここで言及したことにより、本出願の一部とされたい。この特許出願明細書中では、本発明によるセルを使用することのできる E' P R O M アレイが開示されている。

このようなタイプのデバイスについて、第 8 図を参照して、デバイスを動作させる上で重要な消去結合比 (eracecoupling ratio) と書き込み結合比 (write coupling ratio) について以下に述べる。

説明のため、以下のように定義する。

A_1 = 多結晶シリコン層 1 3 2 の N 型領域 1 4 2 を覆っている部分の面積 ;

A_2 = 多結晶シリコン層 1 3 2 に覆われたソース領域 1 3

8 の面積 ;

A_1 = 多結晶シリコン層 132 のフローティングゲート 160 の面積 (面積 A2 を含む) ;

A_2 = 多結晶シリコン層 132 の厚いフィールド酸化膜を覆っている部分の面積 ;

T_{ox1} = 薄い酸化膜の厚さ ;

T_{ox2} = 厚い酸化膜の厚さ ;

W_{eff} = N 型領域の幅 (第 8 図) ;

LD = 多結晶シリコン層 132 によって覆われたソース領域 138 の幅 (第 8 図) ;

W_1 = トランジスタのフローティングゲートを形成している多結晶シリコン層の幅 (第 8 図)

さらに、E²PROM トランジスタ 162 の様々な箇所のキャパシタンスは、以下の関係式に従う。

$$C_1 \propto \frac{A_1}{T_{ox1}}$$

$$C_2 \propto \frac{A_2}{T_{ox1}} \propto \frac{LD \times W_{eff}}{T_{ox1}}$$

$$C_2' \propto \frac{A_2'}{T_{ox1}}$$

$$C_3 \propto \frac{A_3}{T_{ox2}}$$

トランジスタ 162 の消去結合比は以下の式で与えられる。

$$\frac{(C_1 + C_3)}{(C_1 + C_2' + C_3)} = \frac{1}{1 + \frac{C_2}{C_1 + C_3}}$$

一方、トランジスタ 162 の書き込み結合比は以下の式で与えられる。

$$\frac{C_1}{(C_1 + C_2' + C_3)}$$

セルを正確に効果的に消去するためには、消去結合比が大きいこと（例えば 0.9 以上）が重要である。一方、書き込み結合比は小さくてもよく、例えば 0.6 で十分である。

以下のようなデバイスを仮定すると、

$$\begin{aligned} A_1 &= 25 \mu\text{m}^2 \\ W_{\text{eff}} &= 2.8 \mu\text{m} \\ LD &= 0.2 \mu\text{m} \\ (\text{so } A_2 &= 0.56 \mu\text{m}^2) \\ A_3 &= 21 \mu\text{m}^2 \\ T_{\text{ox1}} &= 120 \text{\AA} \\ T_{\text{ox2}} &= 5000 \text{\AA} \end{aligned}$$

$$C_1 \propto 25 \mu\text{m}^2$$

$$C_2 \propto 0.56 \mu\text{m}^2$$

$$C_3 \propto 21 \times \frac{120}{5000} = 0.504 \mu\text{m}^2$$

従って、

$$C_{(\text{erase})} = \frac{C_1 + C_3}{C_1 + C_2 + C_3} = \frac{25 + .504}{25 + .56 + .504} = \frac{25.504}{26.064} = 0.9785$$

となる。

A_1 として $25 \mu\text{m}^2$ のかわりに、 $10 \mu\text{m}^2$ を用いると、

$$C_1 \propto 10 \mu\text{m}^2$$

$$C_2 \propto 0.56 \mu\text{m}^2$$

$$C_3 \propto .504 \mu\text{m}^2$$

となり、従って、

$$C_{\text{erase}} = \frac{10 + .504}{10 + .56 + .504} = \frac{10.504}{11.064} = .949$$

となる。

A_1 として $25 \mu m^2$ のかわりに、 $40 \mu m^2$ を用いると、

$$C_1 \propto 40 \mu m^2$$

$$C_2 \propto 0.56 \mu m^2$$

$$C_3 \propto .504 \mu m^2$$

$$C_{erase} = \frac{40 + .504}{40 + .56 + .504} = \frac{40.504}{41.064} = .987$$

となる。

セルの書き込み（プログラミング）の場合は以下ようになる。

$$C_{prog} = \frac{C_1}{C_1 + C_2^1 + C_3}$$

$$C_1 \propto A_1$$

$$C_2^1 \propto A_2^1$$

$$C_3 \propto A_3$$

上記の第 1 の例と同じサイズであると仮定し、さらに $W_1 = 1.0 \mu m$ であるとすると、

$$C_1 \propto 25 \mu m^2$$

$$C_2^1 \propto 2.8 \mu m^2$$

$$C_3 \propto .504 \mu m^2$$

$$C_{prog} = \frac{25}{25 + 2.8 + .504} = 0.88$$

となり、

$A_1 = 10 \mu m^2$ の場合は、

$$C_{prog} = \frac{10}{10 + 2.8 + .504} = 0.75$$

となり、

$A_1 = 40 \mu\text{m}^2$ の場合は、

$$C_{\text{prog}} = \frac{40}{40 + 2.8 + .504} = 0.92$$

となる。

以上のように、消去結合比は非常に大きく、一方書き込み結合比もまた大きく、従来のフラッシュE²PR²OMセルの結合比0.65と比べて好ましい。

【図1】

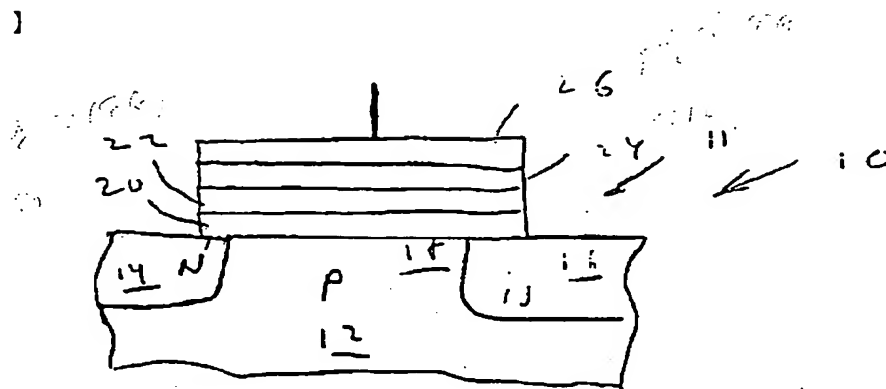


Fig. 1 (Prin 1-1)

【 図 2 】

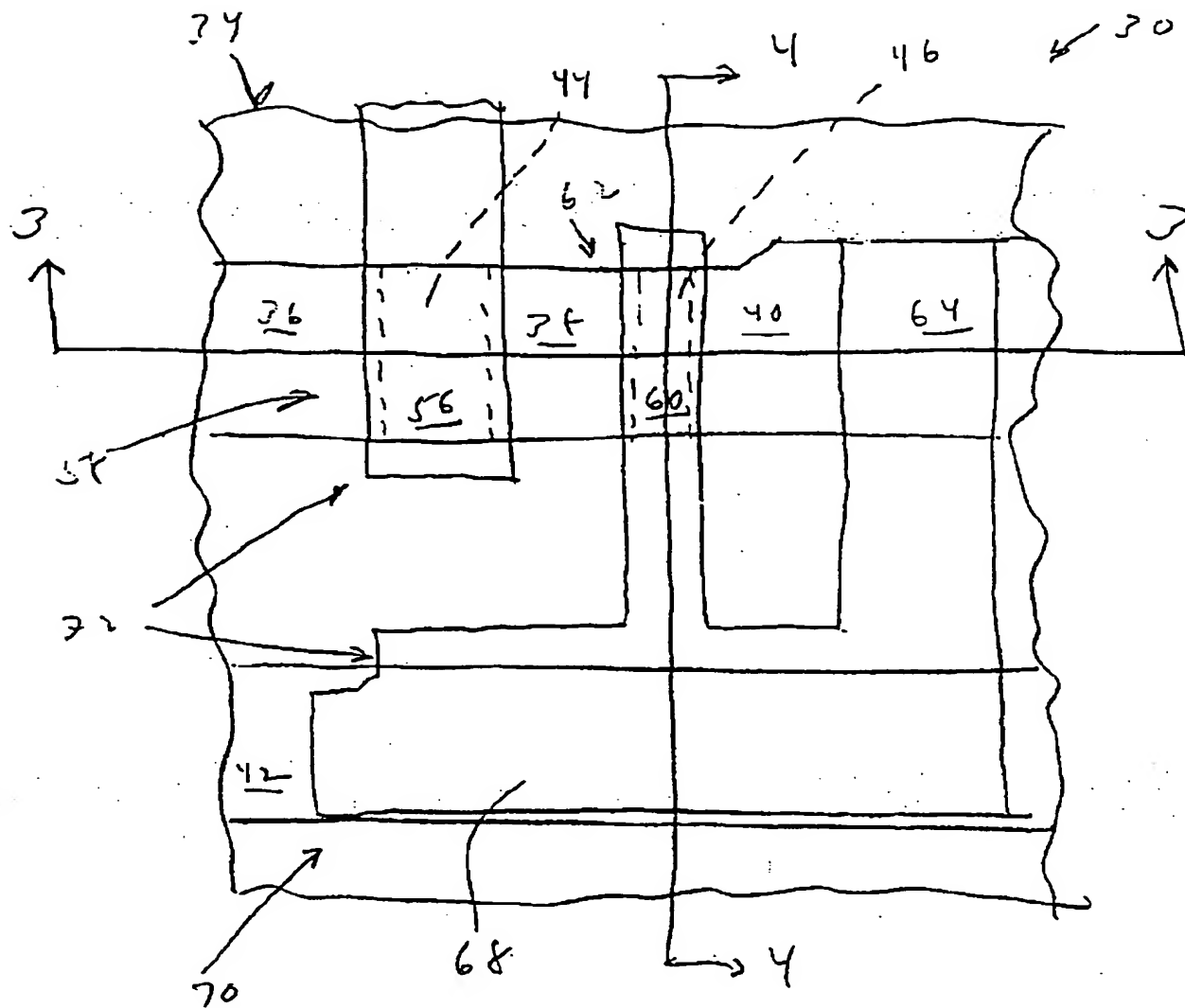


Fig 2 (Prior Art)

【 図 3 】

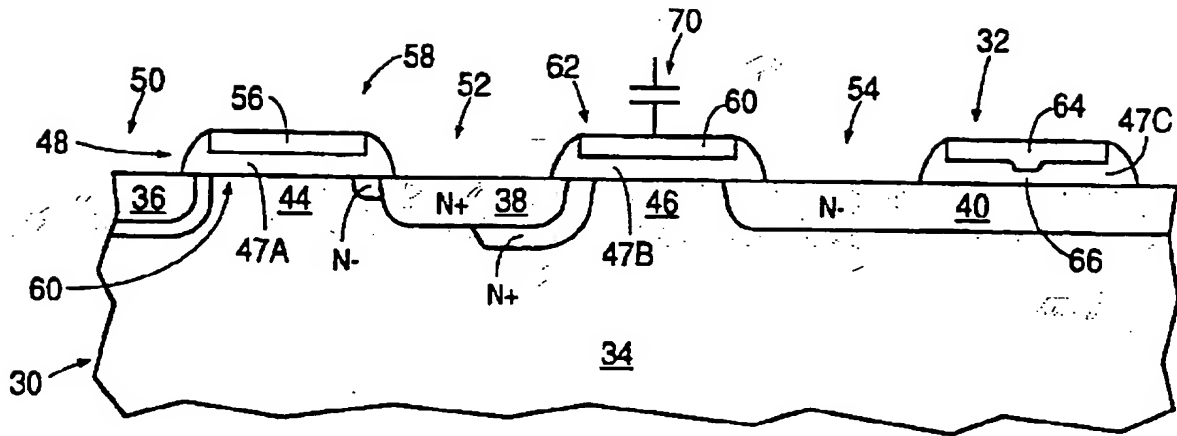


FIG. 3

【 図 4 】

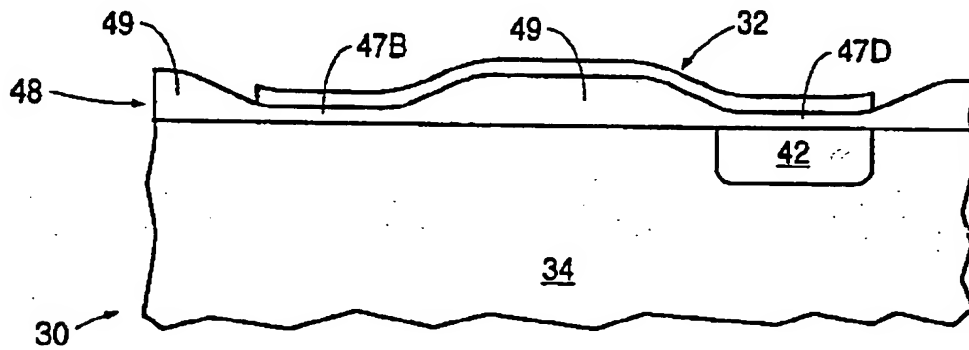


FIG. 4

FIG. 5 is a schematic diagram of a device, possibly a microchip or a circuit board, showing a grid of components. The diagram includes a coordinate system with arrows 6 and 7. The components are labeled with numbers: 132, 134, 136, 138, 140, 142, 144, 146, 156, 160, and 168. A dashed line 144 is also shown. The components are arranged in a grid-like pattern, with some components having dashed outlines. The diagram is labeled FIG. 5 at the bottom.

6-6

【 図 7 】

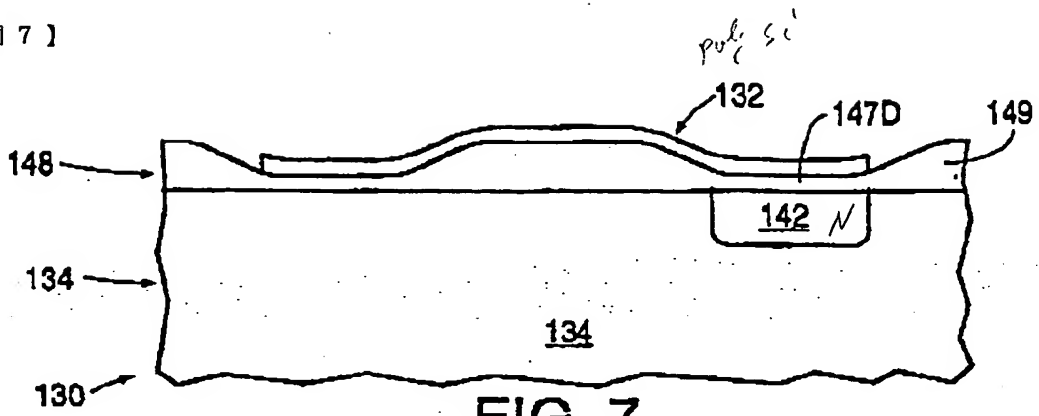
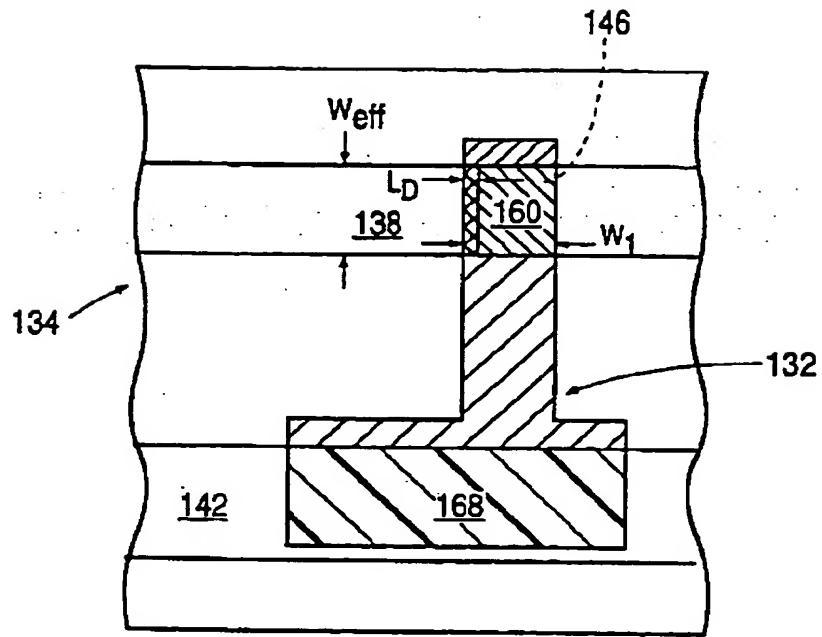


FIG. 7

h - g'

【 图 8 】



$A_1 =$ 

$A_2 =$ 

$A_2' =$  (includes A_2)

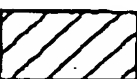
$A_3 =$ 

FIG. 8

【手続補正書】特許法第 184 条の 8

【提出日】1994 年 7 月 13 日

【補正内容】

請求の範囲

1. E¹ P R O M セルであって、

このセルは、第 1 の導電型を有する基板を有し、

第 2 の導電型を有するソース領域と、ドレイン領域と、制御ゲート領域とが前記基板の表面に配置され、かつ前記基板中に延在し、

前記ソース領域とドレイン領域はその間にチャンネル領域を画定し、かつ前記制御ゲート領域と分離され、

さらに前記セルは、

前記基板の表面上に形成され、前記ソース領域、ドレイン領域、チャンネル領域、制御ゲート領域の各領域の上に配置された部分を有する酸化膜と、

前記酸化膜上に形成され、かつ多結晶シリコンを含有するフローティングゲートとを有し、

このフローティングゲートは前記セルが含むただ 1 層の多結晶シリコン層の一部であって、さらに単独で、

前記制御ゲート領域の上に配置された第 1 部分と、

前記ソース領域の一部と前記ドレイン領域の一部と前記チャンネル領域の上方に配置された第 1 パートと、前記第 1 部分と前記第 1 パートとを結ぶ第 2 パートとからなる長寸の第 2 部分とを有し、

前記第 1 部分と前記制御ゲート領域によって第 1 コンデンサ C_1 が形成され、前記第 2 部分の第 1 パートと前記ソース領域によって第 2 コンデンサ C_2 が形成され、前記第 2 部

分の第 2 パートと前記基板によって第 3 コンデンサ C_3 が形成され、

さらに、前記第 1、第 2、第 3 コンデンサによって発生する消去結合比 $(C_1 + C_2) / (C_1 + C_2 + C_3)$ が 0.9 以上になるように前記セルが構成されていることを特徴とする E¹ P R O M セル。

2. E¹PROMセルであって、

このセルは、第1の導電型を有する基板を有し、

第2の導電型を有するソース領域と、ドレイン領域と、制御ゲート領域とが前記基板の表面に配置され、かつ前記基板中に延在し、

前記ソース領域とドレイン領域はその間にチャンネル領域を画定し、かつ前記制御ゲート領域と分離され、

さらに前記セルは、

前記基板の表面上に形成され、前記ソース領域、ドレイン領域、チャンネル領域、制御ゲート領域の各領域の上に配置された部分を有する酸化膜と、

前記酸化膜上に形成され、多結晶シリコンを含有するフローティングゲートとを有し、

このフローティングゲートは前記セルが含むただ1層の多結晶シリコン層の一部であって、さらに単独で、

前記制御ゲート領域の上に配置された第1部分と、

前記ソース領域の一部と前記ドレイン領域の一部と前記チャンネル領域の上方に配置された第1パートと、前記第1

部分と前記第1パートとを結ぶ第2パートとからなる長寸の第2部分とを有し、

前記第2部分の第1パートと前記ソース領域、ドレイン領域、チャンネル領域とによって第4コンデンサ C_4 が形成され、

さらに、前記第1、第3、第4コンデンサによって発生する書き込み結合比 $C_1 / (C_1 + C_3 + C_4)$ が0.6以上になるように前記セルが構成されていることを特徴とするE¹PROMセル。

3. 前記セルのプログラミングが、ホットエレクトロンが前記酸化膜を通り前記第2部分の第1パートに注入されることにより行われ、

前記セルの消去が、電子がトンネル効果により前記酸化膜を通過して前記第2部分の第1パートから出ていくことにより行われることを特徴とする請求項2に記載のE¹PROMセル。

4. 前記第2部分の第1パートの下に配置された前記酸化膜の部分酸化膜の厚さ

が概ね均一であることを特徴とする請求項2に記載のE'PROMセル。

5. 前記第2部分の第1パートの下に配置された前記酸化膜の部分酸化膜が、薄い酸化膜トンネル領域を有さないことを特徴とする請求項2に記載のE'PROMセル。

【 国 際 調 査 報 告 】

INTERNATIONAL SEARCH REPORT

International application No.

PCT/US93/05669

A. CLASSIFICATION OF SUBJECT MATTER

IPC(5) : H01L 29/78; 29/04

US CL : 257/315, 318, 321, 322

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

U.S. : 257/315, 318, 321, 322

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	US, A 3952325 (Beale et al) ; 20 April 1976, see entire document.	1-6

☐ Further documents are listed in the continuation of Box C.☐ See patent family annex.

* Special categories of cited documents:

A document defining the general state of the art which is not considered to be part of particular relevance

E earlier document published on or after the international filing date

L document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

O document referring to an oral disclosure, use, exhibition or other means

P document published prior to the international filing date but later than the priority date claimed

T

later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

X

document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

Y

documents of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

A

document member of the same patent family

Date of the actual completion of the international search

13 SEPTEMBER 1993

Date of mailing of the international search report

17 SEP 1993

Name and mailing address of the ISA/US
Commissioner of Patents and Trademarks
Box PCT
Washington, D.C. 20231

Facsimile No. 703 308-3720

Authorized officer

JEROME JACKSON JR.

Telephone No. (703) 308-4937

フロントページの続き

(51)Int.Cl.

識別記号

庁内整理番号

F I

H 0 1 L 29/792